

KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(51) IPC Code: H01L 27/10

(11) Publication No.: P2001-0011167

(43) Publication Date: 15 February 2001

(21) Application No.: 10-1999-0030408

(22) Application Date: 26 July 1999

(71) Applicant: Samsung Electronics Co., Ltd.  
416 Maetan-3-dong, Paldal-gu, Suwon-City, Kyunggi-do, Korea

(72) Inventor:  
WHANG, IN SEUK

(54) Title of the Invention:

Capacitor Fabricating Method

Abstract:

A method of fabricating a capacitor of a semiconductor memory device is provided. The method includes depositing a double sacrificial oxide layer on an interlayer dielectric layer having a contact plug. Next, the double sacrificial oxide layer is etched to form an opening for use in forming a lower electrode. A lower portion of the sacrificial oxide layer exposed through the opening is over-etched to increase an inner space and surface area. A conductive layer and hemispherical grains (HSGs) are formed over the opening and the sacrificial oxide layer to form a lower electrode. The lower electrode is divided into cells, and a dielectric layer and an upper electrode are formed to provide a complete capacitor. The capacitor has a greater capacitance due to the larger surface area of the lower electrode.

출력 일자: 2003/9/30

발송번호 : 9-5-2003-037387513

수신 : 서울 서초구 서초3동 1571-18 청화빌딩 2

발송일자 : 2003.09.29

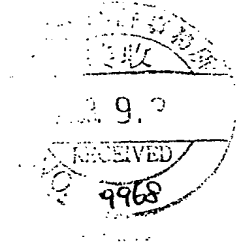
층(리&목특허법률사무소)

제출기일 : 2003.11.29

이영필 귀하

137-874

## 특허청 의견제출통지서



출원인 명칭 삼성전자주식회사 (출원인코드: 119981042713)

주소 경기도 수원시 팔달구 매탄3동 416번지

대리인 성명 이영필 외 1 명

주소 서울 서초구 서초3동 1571-18 청화빌딩 2층(리&목특허법률사무소)

출원번호 10-2001-0078286

발명의 명칭 단일 실린더 스택형 커패시터 및 이중 물드를 이용한 제조방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지 하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제 25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장 승인통지는 하지 않습니다.)

### [이유]

이 출원은 특허청구범위의 기재가 아래에 지적한 바와 같이 불비하여 특허법 제42조제4항의 규정에 의한 요건을 충족하지 못하므로 특허를 받을 수 없습니다.

이 출원의 특허청구범위 제1-20항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제 29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

### [아래]

1. 본원의 청구범위 제5항에는 “제2 변곡점의 위치는 0.5-0.6 $\mu$ m높이에 존재하는” 이라고 기재되어 있으나, 이에 대한 내용은 발명의 상세한 설명에 전혀 기재되어 있지 않고 자명하지도 아니하므로 상기 청구항은 발명의 상세한 설명에 의하여 뒷받침되는 것으로 볼 수 없습니다.

(특허법 제42조 제4항 제1호)

2. 본원발명은 식각속도가 다른 상하부 이중물드를 이용하여 제1, 2 변곡점을 갖는 스토리지 전극을 형성하는 것을 특징으로 하는 단일 실린더 스택 구조의 커패시터로 인정되고, 한국공개특허공보 제2001-0011167호(2001. 2. 15. 이하 인용발명)에는 2중 희생산화막을 형성하고 오프닝을 형성한 후에, 상기 오프닝 내부의 희생 산화막 하부를 과식각하여 공간을 증가시켜 표면적을 증가시키는 커패시터 형성방법이 기재되어 있습니다.

본원발명과 인용발명을 대비해보면 식각저지막 상에 서로 다른 식각선택비를 갖는 이중물드용 상-하부 절연층을 형성하고, 상기 이중물드를 건식식각을 통해서 오프닝을 형성한 후에 습식식각을 통해서 빠른 식각속도를 갖는 하부 절연층을 과식각하여 실린더형 스토리지 전극의 중간에 변곡점을 갖도록 하는 기술내용이 서로 동일합니다. 다만, 본원발명에서는 실린더 상부의 외경과 변곡점에서의 외경의 상대적 크기를 한정하는 것이 상이하나, 이는 단순히 설계 변경한 정도에 지나지 아니하고 이로 인한 효과 또한 당업자간에 예측 가능한 정도에 불과하므로 당해 기술 분야에서 통상의 지식을 가진 자가 상기 인용발명으로부터 용이하게 발명할 수 있는 것입니다.

(특허법 제29조 제2항)

### [첨부]

첨부1 한국공개특허공보 2001-11167호(2001.02.15) 1부 끝.

0016540

출력 일자: 2003/9/30

2003.09.29

특허청

심사4국

반도체2심사담당관실

심사관 정해곤



<<안내>>

문의사항이 있으시면 ☎ 042)481-5984 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지([www.kipo.go.kr](http://www.kipo.go.kr))내 부조리신고센터

특2001-0011167

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>  
H01L 27/10

(11) 공개번호 특2001-0011167  
(43) 공개일자 2001년02월15일

(21) 출원번호	10-1999-0030408
(22) 출원일자	1999년07월26일
(71) 출원인	삼성전자 주식회사 윤종용
(72) 발명자	경기 수원시 팔달구 매탄3동 416 황인석
(74) 대리인	경기도수원시팔달구영통동황골마을벽산APT223동901호 임창현

심사청구 : 없음

(54) 캐패시터 형성 방법

요약

본 발명은 반도체 메모리 장치의 캐패시터 형성 방법에 관한 것으로, 콘택 플러그가 형성된 층간 절연막 상에 이중의 희생 산화막을 증착한다. 상기 희생 산화막을 식각하여 하부 전극 형성용 오프닝을 형성한다. 상기 오프닝 내부의 상기 희생 산화막 하부를 과식각하여 오프닝 내부의 공간을 증가시키므로 내부 표면적이 증가 된다. 상기 오프닝과 희생 산화막 상에 도전막과 HSG를 형성하여 하부 전극을 형성한다. 이후 상기 하부 전극을 셀 단위로 분리하고 유전막과 상부 전극을 형성하므로 캐패시터가 형성된다. 이로써, 하부 전극의 표면적을 극대화하여 캐패시터의 캐패시터 용량을 증대시킬 수 있다.

도면

도2a

형상사

도면의 간단한 설명

도 1은 종래의 캐패시터 형성을 보여주는 단면도 및,

도 2a 내지 도 2e는 본 발명의 실시예에 따른 캐패시터 형성 방법을 순차적으로 보여주는 흐름도이다.

\* 도면의 주요 부분에 대한 부호의 설명

110, 210 : 층간 절연막	112, 212 : 콘택 플러그
114, 214 : 실리콘 질화막	216 : 제 1 절연막
218 : 제 2 절연막	220 : 오프닝
116, 222 : 도전막	118, 224 : HSG
226 : 제 3 절연막	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치의 제조 방법에 관한 것으로, 좀 더 구체적으로 캐패시터 형성 방법에 관한 것이다.

반도체 장치의 집적도가 높아지면서 반도체 내의 소자의 크기도 점점 감소하고 있다. 이로 인해, 소자간의 격리 약화 및 캐패시터 면적 축소 등의 문제가 발생하고 있다. 특히 메모리에 정보를 저장하기 위해서는 최소한의 캐패시터 용량이 필요로 하는데 소자의 크기가 작아지면서 충분한 캐패시터 용량을 확보하는데 어려움이 있다.

캐패시터의 용량은 유전율( $\epsilon$ )과 전극의 표면적에 비례한다. 따라서 캐패시터 용량을 늘리는 방법으로 유전율이 높은 유전체를 사용하는 방법과 전극의 표면적을 늘리는 방법을 사용한다. 유전체로는 일반적으로  $\text{SiO}_2$  ( $\epsilon=3.9$ ) 및  $\text{Si}_3\text{N}_4$  ( $\epsilon=7.0$ )가 많이 사용되고, 유전율이 높은 유전체로는  $\text{TiO}_2$  ( $\epsilon=70\sim80$ ),  $\text{Ta}_2\text{O}_5$  ( $\epsilon=24\sim26$ ),  $\text{SrTiO}_3$  ( $\epsilon=200\sim300$ ) 및 BST ( $\epsilon=300\sim500$ ) 등이 있다. 그러나, 유전율이 높은 물질은 누설

전류가 크기 때문에 아직 여러 해결해야 할 문제점들이 많다.

전극의 표면적을 늘리는 방법으로는 전극의 표면에 HSG(HemiSpherical Grain)를 성장시켜 유효 표면적(effective surface)을 증가시키는 방법이 있고, 기하학적 구조를 변형하여 유효 표면적을 늘리는 방법이 있다. 기하학적 구조는 스택 구조(stack structure)와 트렌치 구조(trench structure)로 나뉘어 진다. 또한 스택 구조는 핀 구조(fin structure), 실린더 구조(cylinder structure) 및 다층막 수직 스택 구조(multilayer vertical stack structure)가 있다. 현재 DRAM(Dynamic Random Access Memory) 분야에서 커패시터를 형성하기 위해 가장 많이 사용되는 구조는 실린더 구조이다.

실린더 구조란, 반도체 기판 상에 희생산화막을 증착한다. 사진 공정을 통해 상기 희생산화막을 식각하여 오프닝을 형성한다. 상기 오프닝 내부를 포함하여 상기 희생 산화막 상에 도전막과 HSG를 형성시켜 하부 전극을 형성한다. 상기 오프닝을 포함하여 기판 전면에 절연막을 증착한다. 상기 희생 산화막이 노출되도록 평탄화 공정하여 하부 전극을 셀 단위로 분리한다. 상기 희생산화막과 상기 절연막을 제거하여 실린더 형태의 하부 전극이 만들어진다. 그 위에 유전막과 상부 전극이 형성되어 커패시터가 완성 된다.

도 1은 종래의 실린더 구조 커패시터를 보여주는 단면도이다.

도 1을 참조하면, 반도체 기판 상에 콘택 플러그(contact plug)(112)가 형성된 층간 절연막(110)이 형성 되어 있다. 상기 층간 절연막 상에 커패시터의 하부 전극 즉, 도전막(116)과 HSG(118)가 형성되어 있다. 도 1에서 보는 바와 같이 상기 하부 전극이 수직으로 세워지지 않고 기울어져 있어 하부 전극 바닥 면적이 좁게 형성되어 있다. 따라서, 하부 전극 바닥에서는 최대한의 면적 증대 효과를 얻지 못하고 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명은 상술한 제반 문제를 해결하기 위해 제안된 것으로, 하부 전극 형성을 희생 산화막을 이중으로 적층하고 하부 희생산화막을 과식각하므로 실린더 내부의 공간을 넓혀 하부 전극의 표면적을 증가시키는 커패시터를 제공하는데 그 목적이 있다.

#### 발명의 구성 및 작용

상술한 목적을 달성하기 위한 본 발명에 의하면, 커패시터 형성 방법은 반도체 기판 상에 콘택 플러그가 형성된 층간 절연막을 형성한다. 상기 층간 절연막 상에 제 1 절연막을 증착한다. 상기 제 1 절연막 상에 제 2, 제 3 절연막을 차례로 증착한다. 사진 공정을 통해 상기 제 1 절연막의 상부 표면이 노출되도록 상기 제 3, 제 2 절연막을 식각하여 오프닝을 형성한다. 상기 콘택 플러그가 노출되도록 상기 오프닝 바닥의 상기 제 1 절연막을 식각한다. 습식 식각 공정을 통해 상기 오프닝 양측벽의 상기 제 2 절연막을 과식각한다. 상기 오프닝을 포함하여 기판 전면에 도전막을 증착한다. 상기 도전막 상에 HSG를 형성한다. 상기 오프닝을 포함하여 상기 기판 전면에 제 4 절연막을 증착한다. 상기 제 3 절연막의 상부 표면이 노출되도록 상기 제 4 절연막, HSG막 및 상기 도전막을 평탄화 식각한다. 상기 제 4, 제 3 절연막 및 제 2 절연막을 제거한다.

(실시예)

이하 도 2a 내지 도 2e를 참조하여 본 발명의 실시예를 상세히 설명한다.

본 발명의 신규한 커패시터 형성 방법은 콘택 플러그가 형성된 기판 상에 이중 희생 산화막이 증착된다. 사진 공정을 통해 상기 이중 희생 산화막이 식각되어 오프닝이 형성된다. 습식 식각을 통해 상기 오프닝 내벽의 상기 이중 희생 산화막 중 하부 희생 산화막이 과식각된다. 이로써, 오프닝 내부의 면적이 넓어져 커패시터의 하부 전극을 넓게 형성할 수 있다.

도 2a 내지 도 2e는 본 발명의 실시예에 따른 커패시터 형성 방법을 순차적으로 보여주는 단면도이다.

도 2a를 참조하면, 반도체 기판 상에 콘택 플러그(contact plug)(212)가 형성된 층간 절연막(210)이 형성 된다. 상기 콘택 플러그(212)와 상기 층간 절연막(210) 상에 실리콘 질화막(214)이 증착된다. 상기 실리콘 질화막(214)은 후속 식각 공정시 식각 정지막(etch stopping layer)과 하부 구조 보호막(buffer layer)의 역할을 한다. 상기 실리콘 질화막(214) 상에 제 1, 제 2 절연막(216, 218)이 차례로 증착된다. 상기 제 1 절연막(216)은 바람직하게는 BPSG(Boron Phosphorus Silicate Glass) 또는 P-SiH<sub>4</sub> 산화막으로 형성되며, 상기 제 2 절연막(218)은 바람직하게는 TEOS(Tetra Ethyl Ortho Silicate), USG(Undoped Silicate Glass) 및 HDP(High Density Plasma) 산화막 중 하나로 형성된다. 상기 제 1 절연막(216)과 상기 제 2 절연막(218)은 식각 선택비(etch selectivity)를 갖는다.

도 2b를 보는 바와 같이, 하부 전극 형성을 마스크를 사용하여 상기 실리콘 질화막(214)이 노출되도록 상기 제 2, 제 1 절연막(218, 216)이 식각되어 오프닝(220)이 형성된다. 다음, 상기 콘택 플러그가 노출 되도록 상기 실리콘 질화막(214)이 식각된다.

도 2c를 참조하면, 습식 식각(wet etch) 공정이 수행되어 상기 오프닝(220) 내측벽의 제 1 절연막(216)이 식각된다. 상기 제 1 절연막(216)과 상기 제 2 절연막(218)은 식각 용액에 따라 식각 선택비에 차이가 있다. 식각 용액으로 인산(H<sub>3</sub>PO<sub>4</sub>) 용액이 사용될 경우 상기 제 1 절연막(216)과 상기 제 2 절연막(218)의 식각 선택비는 1:2 내지 1:17 정도이다. 식각 용액으로 SC1(NH<sub>4</sub>OH + H<sub>2</sub>O<sub>2</sub> + 0.1 water)이 사용될 경우 상기 제 1 절연막(216) 대 상기 제 2 절연막(218)의 식각 선택비는 1:2.5 내지 1:14 정도이다. 또한 불산(HF)이 식각 용액으로 사용될 때 상기 제 1 절연막(216)과 상기 제 2 절연막(218)의 식각 선택비는 1:1.3 내지 1:1.6 정도이다.

상기 제 2 절연막(218)의 식각을 최소화 하면서 상기 제 1 절연막만(216)이 식각되도록 하기 위해서는 바람직하게 상기 제 1 절연막(216)으로 BPSG, 상기 제 2 절연막(218)으로 HDP 산화막이 사용되어 SC1용액 하에서 습식 식각하여 높은 식각 선택비를 갖도록 한다. 그 결과 도 2d에 보여지듯이 상기 제 1

절연막(216)의 일부(216a)가 식각되며 오프닝 내부가 더 넓어진다. 즉, 식각 전보다 오프닝 바닥의 면적이 넓어지고, 측벽이 직선이 아닌 한 번 꺾인 형태가 되어 측벽의 면적도 넓어진다.

도 2d를 보면, 상기 오프닝(220) 내벽과 상기 제 2 절연막(218) 상에 도전막(222)이 증착된다. 상기 도전막(222)은 일반적으로 폴리 실리콘막(poly-Si layer)이 사용되며, 도전성을 높이기 위해 도핑된 폴리 실리콘막(doped poly-Si layer)이 사용될 수 있다. 상기 도전막(222) 상에 HSG(Hemispherical Grain)(224)가 형성된다. 상기 HSG(224)는 표면적을 극대화 시키는 효과가 있다. 이로써, 커패시터의 하부 전극(storage node)이 형성된다.

상기 오프닝(220)을 포함하여 상기 기판 전면에 제 3 절연막(226)이 증착된다. 상기 제 3 절연막(226)은 필링(filling) 특성이 좋은 BPSG, USG 및 PSG(Phosphorus Silicate Glass) 등으로 형성된다.

도 2e를 참조하면, 상기 제 2 절연막(218)이 노출되도록 상기 제 3 절연막(226), HSG막(224) 및 도전막(222)이 평탄화 식각된다. 상기 평탄화 식각은 화학적 기계적 연마(CMP : Chemical Mechanical Polishing) 또는 건식 에치백(dry etch back) 공정을 통해 수행된다. 이로써, 하부 전극이 셀 단위로 분리된다.

스트립(strip) 공정을 통해 상기 제 3 절연막(226), 제 2 절연막(218) 및 제 1 절연막(216)이 제거된다. 상기 스트립 용액은 BOE(HF+NH<sub>4</sub>F) 또는 불산(HF)이 사용된다. 후속으로 상기 하부 전극 상에 유전막과 상부 전극이 차례로 증착되므로 커패시터가 형성된다.

도 3은 본 발명의 실시예에 따라 변형될 수 있는 한 예가 도시되어 있다. 본 발명의 기술적 사상을 유추하면 식각 선택비를 갖는 희생 절연막을 2층이 아닌 3층으로 적층한 후 실린더 내부를 차례로 식각하면 하부 전극이 한 번이 아닌 두 번 꺾인 형태로 될 수 있다.

이상에서, 본 발명에 따른 커패시터 하부전극의 형성을 상기한 설명 및 도면에 따라 도시하였지만 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

#### 발명의 효과

본 발명은 주어진 평면적 내에서 하부 전극의 형태를 변형시키므로 하부 전극의 유효 표면적을 증가시켜 충분한 커패시터 용량을 확보할 수 있는 효과가 있다.

#### (5) 청구의 범위

청구항 1. 반도체 기판 상에 콘택 플러그(212)가 형성된 층간 절연막(210)을 형성하는 단계;

상기 층간 절연막(210) 상에 제 1, 제 2 및 제 3 절연막(214, 216, 218)을 차례로 증착하는 단계;

상기 콘택 플러그(212)가 노출되도록 상기 제 3, 제 2 및 제 1 절연막(218, 216, 214)을 식각하며 오프닝(220)을 형성하는 단계;

습식 식각 공정을 통해 상기 오프닝(220) 양측벽의 상기 제 2 절연막(216)을 과식각하는 단계;

상기 오프닝(220)을 포함하여 상기 기판 전면에 도전막(222)을 증착하는 단계;

상기 도전막 상에 HSG(224)를 형성하는 단계;

상기 오프닝(220)을 포함하여 상기 기판 전면에 제 4 절연막(226)을 증착하는 단계;

상기 제 3 절연막(218)의 상부 표면이 노출되도록 상기 제 4 절연막(226), HSG막(224) 및 도전막(222)을 평탄화 식각하는 단계 및;

상기 제 4, 제 3 절연막 및 제 2 절연막(226, 218, 216)을 제거하는 단계를 포함하는 커패시터 형성 방법.

청구항 2. 제 1 항에 있어서,

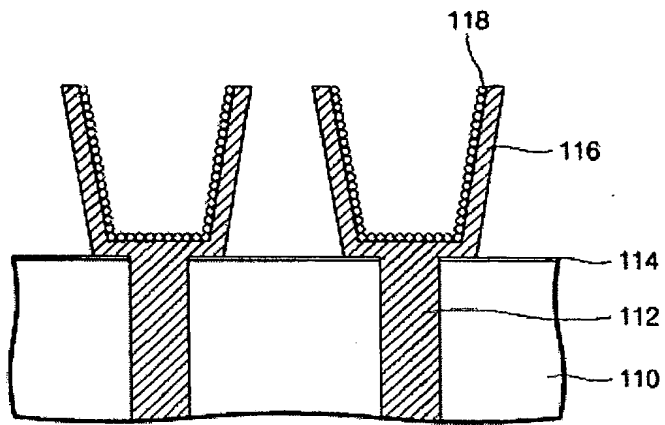
상기 제 2 절연막(216)과 제 3 절연막(218)은 식각 선택비를 갖는 커패시터 형성 방법.

청구항 3. 제 1 항에 있어서,

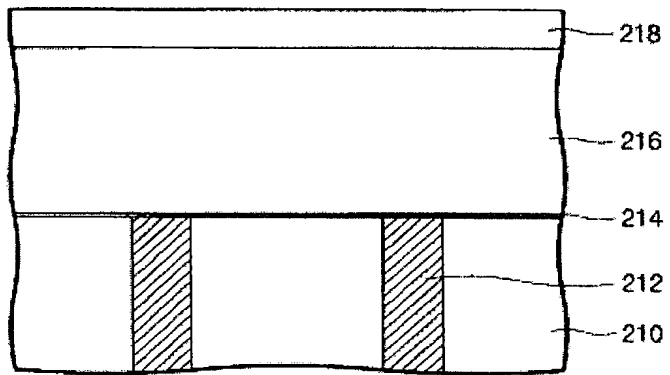
상기 제 2 절연막(216) 식각 용액은 SCl<sub>2</sub>, H<sub>3</sub>PO<sub>4</sub> 및 HF를 사용하는 커패시터 형성 방법.

#### 도면

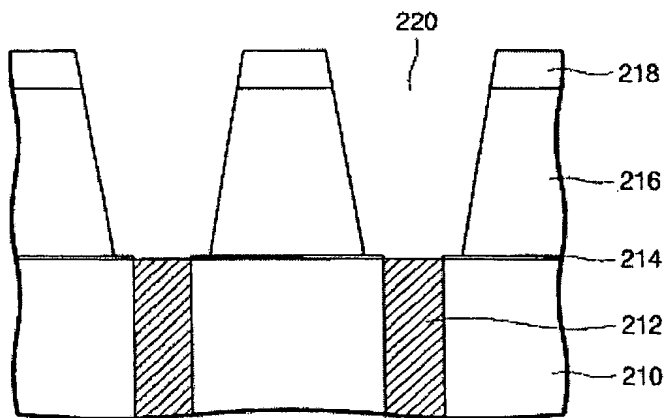
도 1



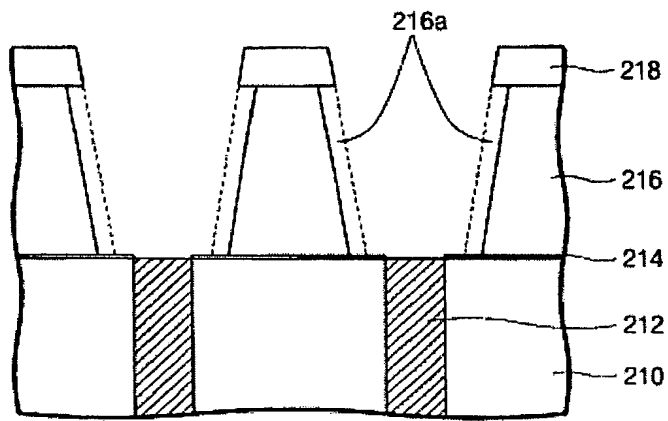
도 2a



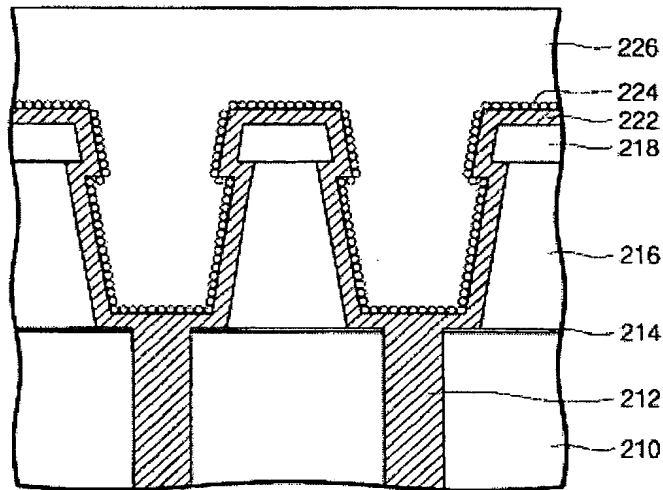
도 2b



도 2b

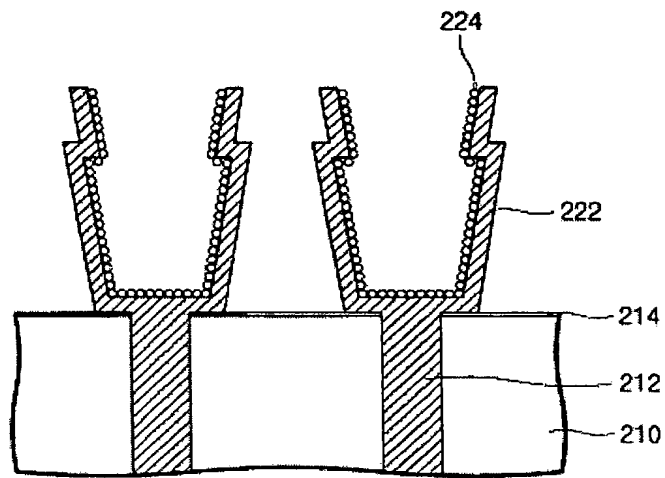


도 2a

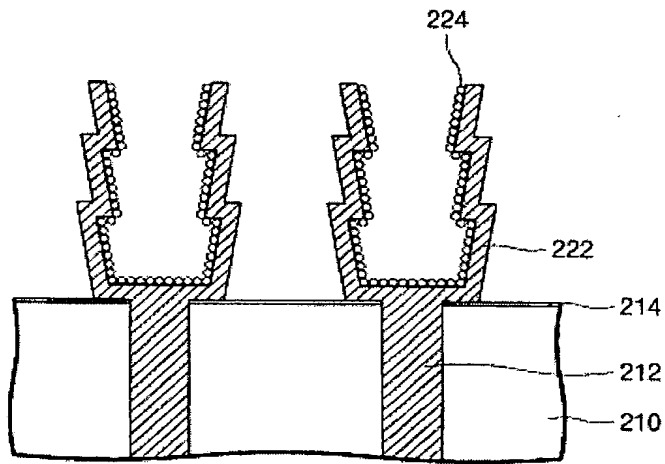




도 2b



도 2c



## NOTICE TO SUBMIT RESPONSE

### Patent Applicant

Name: Samsung Electronics Co., Ltd. (Applicant Code: 119981042713)  
Address: 416 Maetan-3-dong, Paldal-gu, Suwon-City,  
Kyunggi-do, Korea

### Attorney

Name: Young-pil Lee et al.  
Address: 2F Cheonghwa Bldg., 1571-18 Seocho-dong, Seocho-ku, Seoul,  
Korea

Application No.: 10-2001-0078286

Title of the Invention: One-cylinder Stack Capacitor and Method of Fabricating the same  
using Double Mold

According to Article 63 of the Korean Patent Law, the applicant is notified that the present application has been rejected for the reasons given below. Any Argument or Amendment which the applicant may wish to submit, must be submitted by November 29, 2003. An indefinite number of one-month extensions in the period for submitting a response may be obtained upon request, however no official confirmation of the acceptance of a request for an extension will be issued.

### Reasons

The present application is objected to under Article 42(4) of the Korean Patent Law because of the following informalities in the claims.

The invention as recited in Claims 1 through 20 could have been easily invented by one of ordinary skill in the art prior to the filing of the application, and thus this application is rejected according to Article 29(2) of the Korean Patent Law.

1. Claim 5 defines the position of the second inflection point to be in the range of 0.5-0.6  $\mu\text{m}$  from the bottom of a cylindrical storage electrode. However, this definition of the position of the second inflection point is neither supported by the specification nor obvious to one of skill in the art. Thus, claim 5 is objected to under Article 42(4-1) of the Korean Patent Law.

2. The present invention is directed to an one-cylinder stack capacitor having first and second inflection points that is fabricated using a double mold including upper and lower molds having different etch rates. Korean Patent Publication No. 2001-0011167 (published 15 February 2001) discloses a capacitor fabricating method including forming a double sacrificial oxide layer, forming an opening in the double sacrificial oxide layer, and over-etching a lower portion of the double sacrificial oxide layer exposed through the opening.

The two inventions are substantially the same. Commonly to both inventions, a double mole comprised of upper and lower insulating layers having different etch selectivities is formed on an etch stop layer, an opening is formed in the double mold, and the lower insulating layer having a greater etch rate is over-etched by wet etching to form inflection points in the middle of a cylindrical storage electrode. The present invention differs from the cited reference only in that it further defines the outer diameters of a cylindrical storage electrode at the top and the inflection points. However, this difference of the present invention from the cited reference could have been achieved by a minor change from the cited reference. In addition, the effects of the present invention are anticipated by one of skill in the art. Therefore, the present invention could have been easily invented by one of ordinary skill in the art based on the cited reference (Article 29(2) of the Korean Patent Law).

Enclosure: Korean Patent Publication No. 2001-0011167 (published 15 February 2001)

29 September 2003

Hae-gon Chung/Examiner  
Semiconductor Part 2  
Examination Division 4  
Korean Industrial Property Office